

NITRIDE SEMICONDUCTOR EPITAXIAL WAFER AND ITS MANUFACTURING METHOD, AND SEMICONDUCTOR DEVICE

Publication number: JP2002261024

Publication date: 2002-09-13

Inventor: OSHIMA YUICHI; SAKAGUCHI HARUNORI

Applicant: HITACHI CABLE

Classification:

- International: **H01L33/00; H01L21/205; H01S5/323; H01S5/343;**
H01L33/00; H01L21/02; H01S5/00; (IPC1-7):
H01L21/205; H01L33/00; H01S5/343

- european:

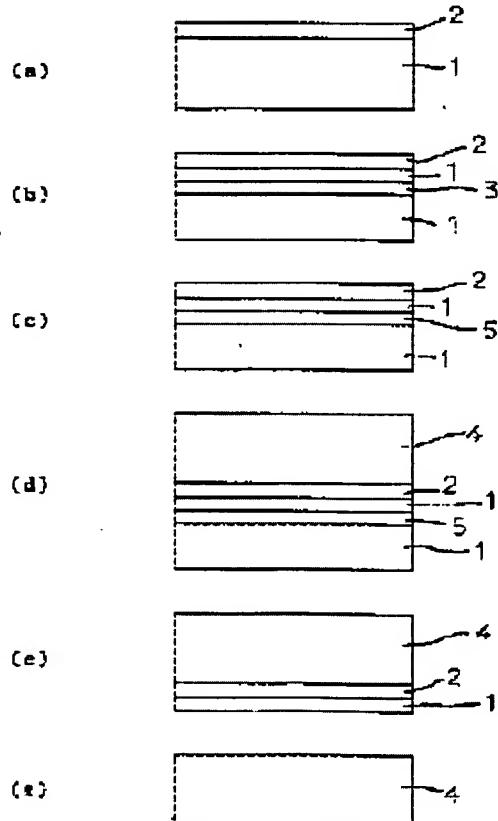
Application number: JP20010055028 20010228

Priority number(s): JP20010055028 20010228

Report a data error here

Abstract of JP2002261024

PROBLEM TO BE SOLVED: To provide a nitride semiconductor epitaxial wafer that has less crystal defects, warpage, and cracks, to provide a method for manufacturing the nitride semiconductor epitaxial wafer, and to provide a semiconductor device. **SOLUTION:** A sapphire substrate 1 is used as a substrate. In the sapphire substrate 1, a first nitride semiconductor layer 2 is formed on the front, the ion of hydrogen, nitrogen, or the like is implanted from the front and back of a sapphire substrate 1, a middle layer 5 having small mechanical strength is formed in the sappier substrate 1, and the epitaxial growth of a second nitride semiconductor layer 4 is carried out on the first nitride semiconductor layer 2. Grown layer structure is epitaxial structure having at least one layer, semiconductor structure such as pn junction and hetero junction is formed, and the layer structure and epitaxial layer structure for composing one portion of the layer structure are achieved. The layer structure is suitable for various semiconductor elements such as light emitting diodes, laser diodes, light receiving elements, field effect transistors, HEMTs, and HBTs.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-261024
(P2002-261024A)

(43)公開日 平成14年9月13日(2002.9.13)

(51) Int.Cl.
 H 01 L 21/205
 33/00
 H 01 S 5/343

識別記号
 6 1 0

F I
 H 01 L 21/205
 33/00
 H 01 S 5/343

テマゴト*(参考)
 5 F 0 4 1
 C 5 F 0 4 5
 6 1 0 5 F 0 7 3

審査請求 未請求 請求項の数14 O.L. (全8頁)

(21)出願番号 特願2001-55028(P2001-55028)

(22)出願日 平成13年2月28日(2001.2.28)

(71)出願人 000005120
 日立電線株式会社
 東京都千代田区大手町一丁目6番1号
 (72)発明者 大島 祐一
 茨城県土浦市木田余町3550番地 日立電線
 株式会社アドバンスリサーチセンタ内
 (72)発明者 坂口 春典
 茨城県土浦市木田余町3550番地 日立電線
 株式会社アドバンスリサーチセンタ内
 (74)代理人 100068021
 弁理士 銀谷 信雄

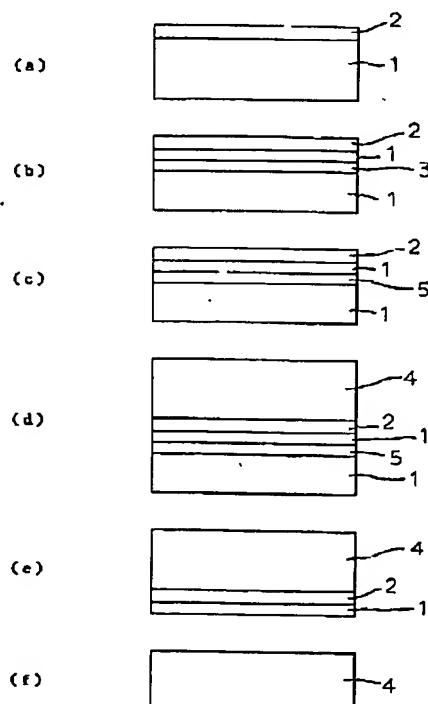
最終頁に続く

(54)【発明の名称】窒化物半導体エピタキシャルウェハの製造方法及び窒化物半導体エピタキシャルウェハ並びに半導体デバイス

(57)【要約】

【課題】結晶欠陥が少なく、反りやクラックの少ない窒化物半導体エピタキシャルウェハの製造方法及び窒化物半導体エピタキシャルウェハ並びに半導体デバイスを提供する。

【解決手段】表面に第一の窒化物半導体層2を形成したサファイア基板1の表面または裏面から水素、窒素等のイオンを打ち込み、サファイア基板1中に機械的強度の弱い中間層5を形成したものを基板とし、その基板の第一の窒化物半導体層2の上に第二の窒化物半導体層4のエピタキシャル成長を行うものである。成長する層構造は1層以上のエピタキシャル構造であり、p-n接合やヘテロ接合等の半導体構造が形成されたり、発光ダイオードやレーザダイオード、受光素子、電界効果トランジスタ、HEMT、HBT等の種々の半導体素子に適した層構造、あるいはその一部を構成するエピタキシャル層構造となる。



【特許請求の範囲】

【請求項1】 サファイア基板上に第一の窒化物半導体層を形成した基板の表面または裏面からイオンを打ち込み、上記サファイア基板中に周囲より機械的強度の小さい中間層を形成することを特徴とする窒化物半導体エピタキシャルウェハの製造方法。

【請求項2】 上記中間層を形成した基板の上記第一の窒化物半導体層の上に第二の窒化物半導体層をエピタキシャル成長させる請求項1に記載の窒化物半導体エピタキシャルウェハの製造方法。

【請求項3】 上記第一の窒化物半導体半導体層の厚さを $5\mu\text{m}$ 以下とする請求項1または2に記載の窒化物半導体エピタキシャルウェハの製造方法。

【請求項4】 上記打ち込むイオンを水素イオン、窒素イオン、酸素イオンのいずれか若しくはそれらの混合とする請求項1から3のいずれかに記載の窒化物半導体エピタキシャルウェハの製造方法。

【請求項5】 上記イオンの打ち込みの加速電圧を 1k eV 以上 1MeV 以下とし、かつ、上記イオンのドーズ量を $1\times 10^{15}\text{c m}^{-2}$ 以上 $1\times 10^{19}\text{c m}^{-2}$ 以下とする請求項1から4のいずれかに記載の窒化物半導体エピタキシャルウェハの製造方法。

【請求項6】 上記イオンを打ち込んだ後で熱処理を行うことにより上記第一の窒化物半導体層の表面結晶層のイオン打ち込みによるダメージを回復させると共に、上記中間層に微細なポイド及びポイドの集合体を生じさせる請求項1から5のいずれかに記載の窒化物半導体エピタキシャルウェハの製造方法。

【請求項7】 上記微細なポイド及びポイドの集合体の大きさ、数量、密度、分布等を熱処理によって制御する請求項6に記載の窒化物半導体エピタキシャルウェハの製造方法。

【請求項8】 上記熱処理を H_2 、 NH_3 若しくはこれらの混合雰囲気下で行う請求項6または7に記載の窒化物半導体エピタキシャルウェハの製造方法。

【請求項9】 上記中間層を境にして上記サファイア基板を剥離、除去する請求項1から8のいずれかに記載の窒化物半導体エピタキシャルウェハの製造方法。

【請求項10】 上記第二の窒化物半導体層の表面に他の基板を貼り付けた後で上記中間層を境にして上記サファイア基板を剥離、除去する請求項9に記載の窒化物半導体エピタキシャルウェハの製造方法。

【請求項11】 上記他の基板として Si 等の半導体、 AlN 等の高熱伝導性基板あるいは Cu 、 Al 等の金属を用いる請求項10に記載の窒化物半導体エピタキシャルウェハの製造方法。

【請求項12】 上記除去、剥離した第二の窒化物半導体層の裏面に残ったサファイア基板の一部を研磨等により部分的若しくは全て除去する請求項9から11のいずれかに記載の窒化物半導体エピタキシャルウェハの製造

方法。

【請求項13】 請求項1から12に記載のいずれかの方法で製造された、 $\text{In}_x \text{Al}_y \text{Ga}_{1-x-y} \text{N}$ ($x, y \leq 1$ 、 $x+y \leq 1$) の組成を有する窒化物半導体エピタキシャルウェハ。

【請求項14】 請求項13に記載の窒化物半導体エピタキシャルウェハを用いた半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、窒化物半導体エピタキシャルウェハの製造方法及び窒化物半導体エピタキシャルウェハ並びに半導体デバイスに関する。

【0002】

【従来の技術】近年、発光ダイオード(LED)やレーザダイオード(LD)等の高出力化、高効率化等を図るため、バンドギャップが大きく(3.4 eV)、直接遷移型であり、しかもバンドギャップを広範囲で制御できることから窒化物半導体が用いられるようになってきた。

【0003】

【発明が解決しようとする課題】ところで、GaNあるいはその混晶であるAlGaNやInGaN等は実用的な同種の基板がないため、サファイアやSiC等の異種基板上で結晶成長が行われる。これら異種基板は格子定数が成長層と大きく異なるために成長層の結晶欠陥が多い。また、膨張係数も大きく異なるために厚膜成長時や成長後に反りやクラックが発生する。これらの反りやクラックは特に窒化物半導体厚膜を成長させるとときに深刻な問題となる。

【0004】そこでこのような問題を根本的に解決するためにGaN基板の開発が進められており、高温高圧下でGaN単結晶を合成する高温高圧法(S. Porowski et al., J. Cryst. Growth 178 (1997) p174)やサファイア基板上にHVPE法で数百μm程度の厚膜を成長させた後、サファイア基板を取り除くことによってGaNの自立单結晶基板を得る方法(Michael K. Kelly et al., Jpn. J. Appl. Phys. 38 (1999) Pt. 2, No. 3A, pp. L217)等の方法が代表的である。

【0005】しかし、高温高圧法は超高压セル中で結晶成長が行われるため、得られるGaN単結晶のサイズをあまり大きくすることができず、現在のところ直径10mm程度のものしか得られていない。そのうえ製造コストが非常に高く、実用的ではない。HVPE(ハイドライド気相成長法: Hydride Vapor Phase Epitaxy)でサファイア基板上に直接GaN厚膜を成長させる方法はより現実的ではあるが、この場合でも結晶欠陥はかなり多く、サファイア基板の実用的な除去方法が無い。しかも、除去後もGaN厚膜には

反りが残る等の問題がある。

【0006】窒化物半導体のエピタキシャル成長の時サファイア基板の反りは、窒化物半導体のエピタキシャル成長中に、例えばグラファイトのサセプタ等の加熱物体との接触の不均一を生じ、成長層のキャリア濃度や組成等の特性を不均一にする。特にInGaNではこの濃度不均一は致命的である。また、成長後のサファイア基板の反りは、フォトリソグラフィにおける微細パターンの露光で大きな問題となる。

【0007】また、結晶欠陥は光素子の発光特性や信頼性を悪化させ、電子デバイスのリーク電流や非線形性、信頼性低下等の原因となる。

【0008】この対策として、選択成長によるラテラル方向成長を利用したELO法(O. H. Nam et al., Appl. phys. Lett. 71 (1997) 2472)やFIELO法(A. Sakai et al., Appl. Phys. Lett. 71 (1997) 2259)等が開発されているが、いまだに結晶欠陥は $10^6 \sim 10^7 \text{ cm}^{-3}$ ほど存在し、反りの問題はまったく改善されていないという問題があった。

【0009】一方、反りを軽減する方法に関しては例えば特開平9-223819号公報に開示されているように、Si基板の表面より下に酸素若しくは窒素のイオン打ち込みによって緩和層兼剥離層を形成し、さらに表面を炭化してSiCとしたSi基板上に窒化物半導体を成長させ、その後のエッチングによってSi基板を除去する方法がある。

【0010】しかし、この方法では窒化物半導体への応力を軽減するためにSi基板とそのSi基板上に形成するSiC層、AlGaNバッファ層及び窒化物半導体層構造の厚さのバランスを精密に制御しなければならない。特に窒素打ち込みによって形成した窒化物半導体層を歪み緩和層とした場合、Si基板をエッチングによって除去するためにはSiC層と歪み緩和層との間にSiの層を残さなければならないので、表面炭化の条件が厳しく、かつ歪み緩和層が窒化物半導体成長層から遠くなるので、歪み緩和効果が小さくなってしまう。また、基板表面を完全に覆うほどに表面炭化を行うのは量産を考えた場合困難である。

【0011】そこで、本発明の目的は、上記課題を解決し、結晶欠陥が少なく、反りやクラックの少ない窒化物半導体エピタキシャルウェハの製造方法及び窒化物半導体エピタキシャルウェハ並びに半導体デバイスを提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するため本発明の窒化物半導体エピタキシャルウェハの製造方法は、サファイア基板上に第一の窒化物半導体層を形成した基板の表面または裏面からイオンを打ち込み、サファイア基板中に周囲より機械的強度の小さい中間層を形

成するものである。

【0013】上記構成に加え本発明の窒化物半導体エピタキシャルウェハの製造方法は、中間層を形成した基板の第一の窒化物半導体層の上に第二の窒化物半導体層をエピタキシャル成長させるのが好ましい。

【0014】上記構成に加え本発明の窒化物半導体エピタキシャルウェハの製造方法は、第一の窒化物半導体半導体層の厚さを $5 \mu\text{m}$ 以下とするのが好ましい。

【0015】上記構成に加え本発明の窒化物半導体エピタキシャルウェハの製造方法は、打ち込むイオンを水素イオン、窒素イオン、酸素イオンのいずれか若しくはそれらの混合とするのが好ましい。

【0016】上記構成に加え本発明の窒化物半導体エピタキシャルウェハの製造方法は、イオンの打ち込みの加速電圧を 1 keV 以上 1 MeV 以下とし、かつ、イオンのドーズ量を $1 \times 10^{15} \text{ cm}^{-2}$ 以上 $1 \times 10^{19} \text{ cm}^{-2}$ 以下とするのが好ましい。

【0017】上記構成に加え本発明の窒化物半導体エピタキシャルウェハの製造方法は、イオンを打ち込んだ後で熱処理を行うことにより第一の窒化物半導体層の表面結晶層のイオン打ち込みによるダメージを回復させると共に、中間層に微細なボイド及びボイドの集合体を生じさせるのが好ましい。

【0018】上記構成に加え本発明の窒化物半導体エピタキシャルウェハの製造方法は、微細なボイド及びボイドの集合体の大きさ、数量、密度、分布等を熱処理によって制御するのが好ましい。

【0019】上記構成に加え本発明の窒化物半導体エピタキシャルウェハの製造方法は、熱処理をH₂、NH₃若しくはこれらの混合雰囲気下で行うのが好ましい。

【0020】上記構成に加え本発明の窒化物半導体エピタキシャルウェハの製造方法は、中間層を境にしてサファイア基板を剥離、除去してもよい。

【0021】上記構成に加え本発明の窒化物半導体エピタキシャルウェハの製造方法は、第二の窒化物半導体層の表面に他の基板を貼り付けた後で中間層を境にしてサファイア基板を剥離、除去してもよい。

【0022】上記構成に加え本発明の窒化物半導体エピタキシャルウェハの製造方法は、他の基板としてSi等の半導体、AlN等の高熱伝導性基板あるいはCu、Al等の金属を用いるのが好ましい。

【0023】上記構成に加え本発明の窒化物半導体エピタキシャルウェハの製造方法は、除去、剥離した第二の窒化物半導体層の裏面に残ったサファイア基板の一部を研磨等により部分的若しくは全て除去するのが好ましい。

【0024】本発明の窒化物半導体エピタキシャルウェハは上記いずれかの方法で製造された、In_xAl_yGa_{1-x-y}N(x, y≤1, x+y≤1)の組成を有するものである。

【0025】本発明の半導体デバイスは、上記いずれかの方法で製造された、 $In_xAl_yGa_{1-x-y}N$ ($x, y \leq 1, x+y \leq 1$) の組成を有する窒化物半導体エピタキシャルウェハを用いたものである。

【0026】本発明は表面に第一の窒化物半導体層を形成したサファイア基板の表面または裏面から水素、窒素等のイオンを打ち込み、サファイア基板中に機械的強度の弱い中間層を形成したものと基板とし、その基板上に第二の窒化物半導体のエピタキシャル成長を行うものである。成長する層構造は1層以上のエピタキシャル構造であり、pn接合やヘテロ接合等の半導体構造が形成されたり、発光ダイオードやレーザダイオード、受光素子、電界効果トランジスタ、HEMT（高電子移動度トランジスタ）、HBT（ヘテロ接合バイポーラトランジスタ）等の種々の半導体素子に適した層構造、あるいはその一部を構成するエピタキシャル層構造となる。

【0027】また、イオン打ち込み後の基板に熱処理を加えることで中間層に多数の微細なポイドを形成することにより中間層の機械的強度をさらに弱めることもできる。この中間層が窒化物半導体結晶とサファイア基板との熱膨張係数の相違を緩和するバッファ層として機能するため、従来問題となっていたクラックや反りが解消し、高品質な窒化物半導体エピタキシャルウェハが得られる。さらにこの中間層を境にしてサファイア基板を容易に剥離、除去することができる。剥離、除去後に窒化物半導体層の裏面にわずかに残ったサファイア基板を研磨等によって除去することにより、大口径でフラットな自立窒化物半導体エピタキシャルウェハを容易に得ることができる。

【0028】

【発明の実施の形態】以下、本発明の実施の形態を添付図面に基づいて詳述する。

【0029】図1(a)～(f)は本発明の窒化物半導体エピタキシャルウェハの製造方法の一実施の形態を示す工程図である。

【0030】サファイア基板1の表面に第一の窒化物半導体層2を形成した基板を準備する(図1(a))。

【0031】基板の表面または裏面からサファイア基板1中に水素、窒素あるいは酸素等のイオンを打ち込んでイオン打ち込み層3を形成する(図1(b))。

【0032】イオン打ち込み層3が形成された基板に熱処理を施す(図1(c))。

【0033】熱処理が終了した基板の第一の窒化物半導体層2の上に第二の窒化物半導体層4をエピタキシャル成長させる。

【0034】成長する層構造は少なくとも1層のエピタキシャル構造であり、pn接合、ヘテロ接合、発光ダイオード、レーザ、受光素子、電界効果トランジスタ、HEMT、HBT等の電子デバイス等、種々の半導体素子に適した層構造、あるいはその一部を構成するエピタキ

シャル層構造となる。イオン打ち込み層3はアモルファス的な構造となっているので、歪みを吸収し、緩和し、クラックや反り等がなくなる。また、水素イオンの打ち込み層3は窒化物半導体結晶の成長中に加熱されることにより、中間層としてのポイド層5となる。これはUnibond法と言われるSOI(絶縁膜上に単結晶Siを成長させたウェハ)の作製法(A. J. Aubert on-Herve et al 電子材料6月号(1997)29)の一部と原理は同じである。このポイド層5は歪みの吸収、緩和効果が高く、クラックや反り等の問題を解決し、結晶欠陥を減少させる。

【0035】本方法で用いられる基板は、表面が窒化物半導体であり、ポイド層5の歪み吸収効果が大きいため、例えば特開平9-223819号公報に開示されているような面倒な表面炭化処理や複数の層の膜厚バランスを精密に制御する必要もなく、高品質な窒化物半導体エピタキシャルウェハを容易に得ることができる(図1(d))。

【0036】さらに、このポイド層(あるいはアモルファス層)5は第一の窒化物半導体結晶2やサファイア基板1の単結晶部に比べ機械的に弱いため、熱処理や機械衝撃等の種々の方法で第二の窒化物半導体結晶層4をサファイア基板1から剥離することができる。

【0037】この剥離方法は、窒化物半導体結晶膜成長過程での加熱による自然剥離、あるいはその後の熱処理に剥離、側面からの窒素ジェットによる剥離、ウォータージェットによる剥離、レーザ照射による剥離等種々の方法が使用できる(図1(e))。

【0038】剥離した第二の窒化物半導体層4の裏面にわずかに残ったサファイアを部分的に、または全て研磨等の方法によって除去すれば、大口径でフラットな自立窒化物半導体エピタキシャルウェハ4を容易に得ることができる(図1(f))。

(最適条件に関する根拠)第一の窒化物半導体層2の膜厚を5μm以下とする第一の理由は、基板の反りを防止するためであり、これ以上の厚さにすると第一の窒化物半導体2とサファイア基板1との熱膨張差によって基板が反ってしまうためである。

【0039】第二の理由は、第一の窒化物半導体層2の膜厚を5μm以上に厚さにすると、第一の窒化物半導体層2の表面の結晶性を良好に保ったままでサファイア基板1中にイオン打ち込みを行うことが困難になるからである。

【0040】イオン打ち込みの加速電圧を1keV以上1MeV以下としたのは、中間層5の形成深さを適切にし、基板表面の結晶状態を良好に保つためである。1keV以下では中間層5の形成される位置が浅すぎて、基板表面の結晶性に悪影響を与える。これとは逆に1MeV以上では打ち込んだイオンが基板表面に与えるダメージが無視できなくなる。また、中間層5の形成される位

置が深くなり過ぎて中間層による歪み緩衝効果が小さくなったり、基板剥離後に窒化物半導体単結晶の裏面に残るサファイア等が厚くなるために除去するため、研磨に手間がかかってしまう。

【0041】ドーズ量を $1 \times 10^{15} \text{ cm}^{-2}$ 以上 $1 \times 10^{19} \text{ cm}^{-2}$ 以下としたのは、基板表面の結晶のダメージを無視できる範囲に抑えつつ反りを緩和し、歪み緩衝及び基板の剥離に充分なほどのボイドを発生させるためである。ドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ 以下ではボイドの発生密度が小さいため、歪み緩衝効果が小さく、基板を剥離するのにも不十分である。ドーズ量が $1 \times 10^{19} \text{ cm}^{-2}$ 以上になると、打ち込んだイオンが基板表面の結晶に与えるダメージが無視できなくなってしまう。

【0042】次に本発明の窒化物半導体エピタキシャルウェハの製造方法の実施例について添付図面に基づいて詳述する。尚、具体的な数値を挙げて説明するが限定されるものではない。

【0043】

【実施例】(実施例1)

(1) サファイア基板(直径50mm、厚さ0.33mm)にMOVPE法(有機金属気相成長法)を用いてGaN単結晶層を2μmの厚さにエピタキシャル成長させた。成長炉は横型常圧MOVPE炉を用い、原料としてアンモニアガスとトリメチルガリウムとを用い、キャリアガスとして水素と窒素との混合ガスを用いた。まず、基板を水素雰囲気で1100°Cに加熱し、表面の酸化物等をクリーニングした。続いて基板温度を550°Cに下げて、GaN層を20nmの厚さに成長させ、さらに基板温度を1050°Cに上げてGaN層を2μmの厚さに成長させた。

(2) (1)のGaN単結晶層側からサファイア基板中に水素をイオン打ち込みする。その条件はドーズ量を $1 \times 10^{17} \text{ cm}^{-2}$ とし、加速電圧を120keVとし、GaN単結晶層との界面から約0.5μmの深さに厚さ0.1μm程度の中間層を形成した。

(3) 水素を打ち込んだGaNエピタキシャル成長基板表面には単結晶層が形成されており、サファイア基板中に水素の打ち込み層が形成されている。

(4) (3)で水素を打ち込んだGaNエピタキシャル成長基板をアンモニア雰囲気中、800°Cで30分間熱処理した。熱処理の終了した試料の断面を走査型電子顕微鏡で観察したところ、中間層は微細なボイドの多数発生したボイド層になっていた。

(5) (4)で熱処理の終了したGaNエピタキシャル成長基板上に、HYPE法を用いてGaN単結晶層を300μmの厚さにエピタキシャル成長させた。成長に用いた装置は横型常圧HYPE炉であった。原料としてアンモニアガス及び金属GaとHC1ガスとを850°Cで反応させて得られたGaC1を用い、n型の導電型を得るためにSiH₂C₁₂を同時に流した。キャリアガスには水素ガスを用いた。成長温度は1050°C、成長速度は80μm/hである。

は水素ガスを用いた。成長温度は1050°C、成長速度は80μm/hである。

(6) (5)のエピタキシャル成長終了後、成長温度から室温までの冷却過程において中間層(ボイド層)を境にサファイア基板が自然に剥離した。GaN単結晶層の裏面にわずかに残ったサファイアを研磨して除去することにより、n型GaN自立単結晶基板が得られた。

(7) (6)で得られたn型GaN自立単結晶基板は直径50mm、厚さ約300μmの無色透明のものであり、クラックや反りの全く無いものであった。

(実施例2)

(1) サファイア基板(直径50mm、厚さ0.15mm)にMOVPE法を用いてGaN単結晶層を2μmの厚さにエピタキシャル成長させた。成長炉には横型常圧MOVPE炉を用い、原料としてアンモニアガスとトリメチルガリウムとを用い、キャリアガスとして水素と窒素との混合ガスを用いた。まず、基板を水素雰囲気で100°Cに加熱し、表面の酸化物等をクリーニングした。続いて基板温度を550°Cに下げてGaN層を20nmの厚さに成長させ、さらに基板温度を1050°Cに上げてGaN層を2μmの厚さに成長させた。

(2) (1)のサファイア基板側からサファイア基板中に水素をイオン打ち込みする。その条件はドーズ量を $1 \times 10^{17} \text{ cm}^{-2}$ とし、加速電圧を200keVとし、GaN単結晶層との界面から約0.5μmの深さに厚さ0.1μm程度の中間層を形成した。

(3) 水素を打ち込んだGaNエピタキシャル成長基板表面には単結晶層が形成され、サファイア基板中に水素の打ち込み層が形成されている。

(4) (3)水素を打ち込んだGaNエピタキシャル成長基板をアンモニア雰囲気中、800°Cで30分間熱処理した。熱処理の終了した試料の断面を走査型電子顕微鏡で観察したところ、中間層は微細なボイドの多数発生したボイド層になっていた。

(5) (4)で熱処理の終了したGaNエピタキシャル成長基板上に、HYPE法を用いてGaN単結晶層を300μmの厚さにエピタキシャル成長させた。成長に用いた装置は横型常圧HYPE炉である。原料としてアンモニアガス及び金属GaとHC1ガスとを850°Cで反応させて得られたGaC1を用い、n型の導電型を得るためにSiH₂C₁₂を同時に流した。キャリアガスには水素ガスを用いた。成長温度は1050°C、成長速度は80μm/hである。

(6) (5)のエピタキシャル成長終了後、成長温度から室温までの冷却過程において中間層を境にサファイア基板が自然に剥離した。GaN単結晶層の裏面にわずかに残ったサファイアを研磨して除去することにより、n型GaN自立単結晶基板が得られた。

(7) (6)で得られたn型GaN自立単結晶基板は直径50mm、厚さ約300μmの無色透明のものであり、ク

ラックや反りの全く無いものであった。

(実施例3)

(1) 実施例2で得られたn型GaN自立単結晶基板上にMOVPE法によって図2に示すようなLD構造を形成した。図2は図1(a)～(f)に示した製造方法を適用したGaN自立単結晶基板上に形成されたLDの断面構造模式図である。

(2) LD構造は、GaN自立単結晶基板10側から順にSiドープGaNバッファ層(厚さ $2\mu\text{m}$ 、 $n=5\times 10^{17}\text{cm}^{-3}$)11、SiドープAl_{0.07}Ga_{0.93}Nクラッド層(厚さ $1.0\mu\text{m}$ 、 $n=5\times 10^{17}\text{cm}^{-3}$)12、SiドープGaN SCH層(厚さ $0.1\mu\text{m}$ 、 $n=1\times 10^{17}\text{cm}^{-3}$)13、アンドープIn_{0.2}Ga_{0.8}N/I_{n0.05}Ga_{0.95}N多重量子井戸層(厚さ 3nm /厚さ $5\text{nm} \times 3$)14、MgドープAl_{0.2}Ga_{0.8}Nオーバーフロー防止層(厚さ 20nm 、 $p=2\times 10^{19}\text{cm}^{-3}$)15、MgドープGaN光閉込層(厚さ $0.1\mu\text{m}$ 、 $p=2\times 10^{19}\text{cm}^{-3}$)16、MgドープAl_{0.07}Ga_{0.93}Nクラッド層(厚さ $0.5\mu\text{m}$ 、 $p=2\times 10^{19}\text{cm}^{-3}$)17及びMgドープGaNコンタクト層(厚さ 50nm 、 $p=2\times 10^{19}\text{cm}^{-3}$)18からなる。

(3) p側にドライエッチングにより幅 $4\mu\text{m}$ 、深さ $0.4\mu\text{m}$ のリッジ構造を作製し、電流狭窄を行った。さらにリッジ上部にNi/Au電極を形成し、p型オーミック電極19とした。裏面のGaN自立単結晶基板10側にはTi/A1電極を全面に形成し、n型オーミック電極20とした。さらに両端面にTiO₂/SiO₂からなる高反射コーティング膜を形成することにより半導体デバイスとしてのLD素子が得られた。素子長は $500\mu\text{m}$ とした。

(4) このLD素子に通電すると閾値電流密度 4.5kA/cm^2 であり、閾値電圧 5.5V で室温連続発振した。また、結晶欠陥が低減されているため、LD素子の寿命は室温 25°C で、 30mW 駆動時において 5000 時間と良好な特性を有していた。

(5) さらに本発明による自立基板は反りが無い上にサファイア基板上にLD構造を形成した場合に比べて劈開が容易なため、プロセス時の歩留りが大幅に改善され、90%以上の素子で良好な特性が得られた。

(実施例4)

(1) 実施例2の(1)～(4)で得られたGaNエピタキシャル成長基板上にLED構造を成長させた。

(2) LED構造は、基板側から順にSiドープGaNクラッド層(厚さ $3\mu\text{m}$ 、 $n=5\times 10^{17}\text{cm}^{-3}$)35、アンドープIn_{0.2}Ga_{0.8}N量子井戸層(3nm)34、MgドープAl_{0.2}Ga_{0.8}Nクラッド層(厚さ $0.5\mu\text{m}$ 、 $p=2\times 10^{19}\text{cm}^{-3}$)33及びMgドープGaNコンタクト層(厚さ 50nm 、 $p=2\times 10^{19}\text{cm}^{-3}$)32からなる。

(3) 成長したLEDエピタキシャルウェハ表面にNi/Au層を真空蒸着し、そのNi/Au層の上に直径 50mm 、厚さ 0.2mm のA1基板を電気炉中、窒素雰囲気下 600°C で融着した。融着終了後、ウェハ側面からの窒素ジェットによって中間層からサファイア基板までの部分を剥離、除去した。サファイア基板を除去したLEDエピタキシャルウェハの、A1基板と反対側にTi/A1電極を形成した。このLEDエピタキシャルウェハを図3に示す。図3は図1(a)～(f)に示した製造方法を適用したGaN自立単結晶基板上に形成されたLEDの断面構造模式図である。

【0044】すなわち、LEDエピタキシャルウェハは、A1基板30上にNi/Au層31、MgドープGaN層32、MgドープAl_{0.2}Ga_{0.8}Nクラッド層33、アンドープIn_{0.2}Ga_{0.8}N量子井戸層34、SiドープGaNクラッド層35及びn型電極36が順次形成されたものである。

【0045】このようなLEDエピタキシャルウェハを $300\mu\text{m}$ 角にカットし、得られたチップの上下両面にAuワイヤをボンディングすることにより半導体デバイスとしてのLED素子が得られた。

(4) このLED素子に通電したところ、発光波長は 450nm で、発光出力は 20mA 通電時で約 7mW であった。サファイア上に直接成長したLEDとは異なり、結晶欠陥が少なく、放熱特性も良いため素子の信頼性が高く、樹脂モールドした状態で室温 40°C 、湿度 100% 、電流 20mA で 1000 時間の連続通電試験を行ったところ、 1000 時間通電後においても発光出力は初期状態とほぼ変わらなかった。

(変形例) 上述した実施例では基板として表面に窒化物半導体層を形成したサファイア基板を用い、打ち込むイオンとして水素イオンを用いた場合について説明したが、本発明はこれに限定されるものではなく、サファイア以外の基板や水素イオン以外のイオンを用いてよい。

【0046】また、窒化物半導体のエピタキシャル成長法としては、MOVPE法、HVPE法、MBE法等のすでに公知の方法があり、利用することができる。また、窒化ガリウムや窒化アルミニウム等の低温バッファ層を用いる二段階成長法、直接高温で成長させる方法、成長の途中で微細加工と再成長を用いてラテラル成長による転位低減を図るELO法、FIELO法等公知の種々の方法を用いることができる。

【0047】中間層をボイド層とするのは第二の窒化物半導体層の成長前の昇温中、成長中、冷却中、成長後のいずれかあるいは全ての工程、あるいは幾つかの工程で行うことができる。またイオン打ち込み後、第二の窒化物半導体層の成長開始前に他の熱処理によって行ってよい。

【0048】中間層を境にサファイア基板を剥離する方

法は、成長後の熱処理による剥離、側面からの窒素ジェットによる剥離、ウォータージェットによる剥離、レーザ照射による剥離等の種々の方法でも実施できる。

【0049】実施例4ではAl基板を貼り付けた上で剥離を行ったが、その他に例えば、Si基板、ガラス基板、Cu等の金属基板、AlN等の熱伝導性のよい薄膜を積層した金属基板等、その後の素子作製プロセスに適した基板を用いることができる。

【0050】ここで、従来、窒化物半導体のエピタキシャル成長は熱膨張係数の大きく異なるサファイア等の基板上で行われていたため、結晶欠陥が多かったり、厚膜を成長させると反りやクラックが発生するという問題があった。この問題を根本的に解決するために窒化物半導体基板の開発も行われてきたが、窒化物半導体基板の作製は超高圧下で行われていたためにコストが非常に高い上に直径10mm程度の小さなものしか得られなかつた。また、HVPE法で数百μm程度のGaN厚膜をサファイア基板上に成長させた後、サファイア基板を除去することによってGaNの自立基板を得る方法はより現実的ではあるが、サファイア基板と窒化物半導体との熱膨張率の差に起因するクラックが発生する上に結晶欠陥がかなり多い。さらに、サファイア基板の実用的な除去方法が無い、除去後も反りが残る等の問題があった。

【0051】しかし、本発明を用いれば、水素打ち込みと熱処理とによって基板中に形成された中間層が熱膨張率の差を緩和するバッファ層として機能し、従来問題となっていた結晶欠陥が著しく減少し、反りやクラックが解消された高品質な窒化物半導体エピタキシャルウェハ

を容易に得ることができる。また、窒化物半導体層をこの中間層を境に基板から剥離して窒化物半導体の大面積でフラットな自立エピタキシャルウェハを容易に得ることができる。

【0052】

【発明の効果】以上要するに本発明によれば、次のような優れた効果を發揮する。

【0053】結晶欠陥が少なく、反りやクラックの少ない窒化物半導体エピタキシャルウェハの製造方法及び窒化物半導体エピタキシャルウェハ並びに半導体デバイスの提供を実現することができる。

【図面の簡単な説明】

【図1】(a)～(f)は本発明の窒化物半導体エピタキシャルウェハの製造方法の一実施の形態を示す工程図である。

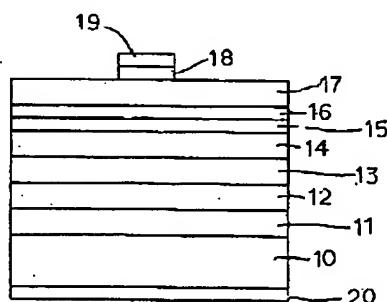
【図2】図1(a)～(f)に示した製造方法を適用したGaN自立単結晶基板上に形成されたLDの断面構造模式図である。

【図3】図1(a)～(f)に示した製造方法を適用したGaN自立単結晶基板上に形成されたLEDの断面構造模式図である。

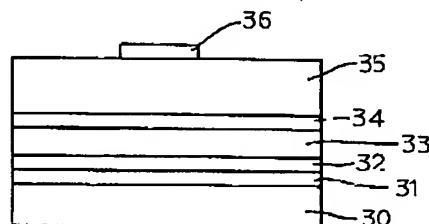
【符号の説明】

- 1 サファイア基板
- 2 第一の窒化物半導体層
- 3 イオン打ち込み層
- 4 第二の窒化物半導体層
- 5 ポイド層(中間層)

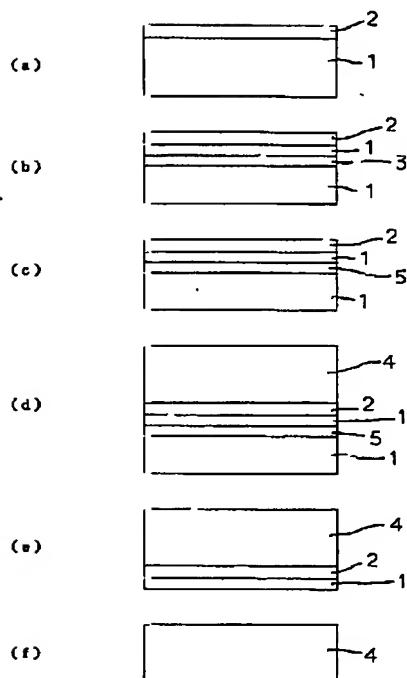
【図2】



【図3】



【図1】



フロントページの続き

F ターム(参考) 5F041 AA40 CA04 CA05 CA34 CA40
 CA46 CA65 CA71 CA77
 5F045 AA04 AB14 AB17 AB18 AC08
 AC12 AC13 AC18 AC19 AD09
 AD12 AD14 AE29 AF03 AF04
 AF09 AF10 AF11 BB11 BB12
 CA02 CA07 CA10 CA12 CA13
 DA53 DA55 DQ08 EB15 GH08
 HA15 HA16
 5F073 AA74 CA07 CB02 CB05 CB07
 DA05 DA14 DA16 DA35 EA29